



Facultad de Ingeniería
Escuela de Ingeniería Electrónica

Examen Final
Ciclo 2006-II

Curso : Arquitectura de Computadora ✓
Grupo : 01 y 02
Profesor : Dip., Ing. Gustavo Roselló; Ing. Juan Meza A.
Día : Viernes 01 de Diciembre del 2006
Hora : 11.00 a 13.00 horas
Tiempo : 120 minutos

Nota: El examen es sin copias ni apuntes.

Esta prohibido todo tipo de préstamo y uso de calculadoras

Pregunta Nº 01 Diseñe las Micro Operaciones que corresponden al ciclo de ejecución de:
(3 Puntos) la instrucción que compare dos datos tal que (2p):

Instrucción	Macro Operación
CMP direcc	si $AC = (AR) \Rightarrow AR+1 \rightarrow PC$

¿Qué tipo de instrucción es, que modo de direccionamiento tiene y por qué? (1p)

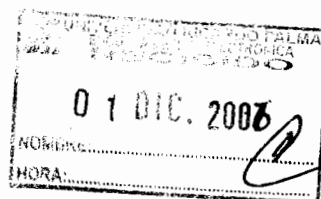
Pregunta Nº 02 Deduzca el hardware de la unidad de control correspondiente al registro AR
(2 Puntos)

Pregunta Nº 03 Modifique la arquitectura del SCOMP para convertirla en HARVARD dando
(5 Puntos) los detalles y conexiones de cada dispositivo de la CPU resultante, así como las conexiones básicas de entrada que tendrá la UC.

Pregunta Nº 04 Diseñe un procesador Von Neumann cuya instrucción ocupa 2 posiciones de
(10 Puntos) memoria y su longitud es de 32 bits, tiene 5 modos de direccionamiento y 32 IRM, determinar:

- Diagrama de bloques de la CPU (3p)
- Cuales modos de direccionamiento puede tener (1p)
- Característica de todos y cada dispositivo de la CPU (2p)
- Formato de la Instrucción y longitud de los campos (1p)
- Representación de la instrucción en la Memoria (1p)
- Dar la descripción, del procesador, en LTR de los ciclos FETCH y Decodificación hasta antes de la Ejecución (2p)

LOS PROFESORES



Descripción LTR de un Procesador de 16 bits

Búsqueda

$R'T_0: AR \leftarrow PC$

$R'T_1: IR \leftarrow [AR], PC \leftarrow PC+1$

Decodificar

$R'T_2: I \leftarrow IR(15), D_N \leftarrow IR(12:14), AR \leftarrow IR(0:11)$

Indirecta

$D_7'I T_3: AR \leftarrow [AR]$

Interrupción: $T_0'T_1'T_2' (IEN)(FGI + FGO): R \leftarrow 1$

$RT_0: AR \leftarrow 0, TR \leftarrow PC$

$RT_1: [AR] \leftarrow TR, PC \leftarrow 0$

$RT_2: PC \leftarrow PC+1, IEN \leftarrow 0, R \leftarrow 0, SC \leftarrow 0$

Referencia a memoria:

AND

$D_0T_4: DR \leftarrow [AR]$

$D_0T_5: AC \leftarrow AC \wedge DR, SC \leftarrow 0$

ADD

$D_1T_4: DR \leftarrow [AR]$

$D_1T_5: AC \leftarrow AC + DR, E \leftarrow C, SC \leftarrow 0$

LDA

$D_2T_4: DR \leftarrow [AR]$

$D_2T_5: AC \leftarrow DR, SC \leftarrow 0$

STA

$D_3T_4: [AR] \leftarrow AC, SC \leftarrow 0$

BUN

$D_4T_4: PC \leftarrow AR, SC \leftarrow 0$

BSA

$D_5T_4: [AR] \leftarrow PC, AR \leftarrow AR + 1$

$D_5T_5: PC \leftarrow AR, SC \leftarrow 0$

ISZ

$D_6T_4: DR \leftarrow [AR]$

$D_6T_5: DR \leftarrow DR + 1$

$D_6T_6: [AR] \leftarrow DR, \text{Si } (DR = 0) \Rightarrow (PC \leftarrow PC+1), SC \leftarrow 0$

Referencia de registro:

$D_7'I T_3 = r$

$IR(i) = Bi (i = 0,1,2,...,11)$

CLA

$rB_{11}: AC \leftarrow 0, SC \leftarrow 0$

CLE

$rB_{10}: E \leftarrow 0, SC \leftarrow 0$

CMA

$rB_9: AC \leftarrow AC', SC \leftarrow 0$

CME

$rB_8: E \leftarrow E', SC \leftarrow 0$

CIR

$rB_7: AC \leftarrow \text{shr } AC, AC(15) \leftarrow E, E \leftarrow AC(0), SC \leftarrow 0$

CIL

$rB_6: AC \leftarrow \text{shl } AC, AC(0) \leftarrow E, E \leftarrow AC(15), SC \leftarrow 0$

INC

$rB_5: AC \leftarrow AC+1, SC \leftarrow 0$

SPA

$rB_4: \text{si } (AC(15) = 0) \Rightarrow (PC \leftarrow PC+1), SC \leftarrow 0$

SNA

$rB_3: \text{si } (AC(15) = 1) \Rightarrow (PC \leftarrow PC+1), SC \leftarrow 0$

SZA

$rB_2: \text{si } (AC = 0) \Rightarrow PC \leftarrow PC+1, SC \leftarrow 0$

SZE

$rB_1: \text{si } (E = 0) \Rightarrow (PC \leftarrow PC+1), SC \leftarrow 0$

HLT

$rB_0: S \leftarrow 0$

Entrada-salida:

$D_7'I T_3 = p$

$IR(i) = Bi (i = 6,7,8,9,10,11)$

INP

$pB_{11}: AC(0:7) \leftarrow \text{INPR}, FGI \leftarrow 0, SC \leftarrow 0$

OUT

$pB_{10}: \text{OUTR} \leftarrow AC(0:7), FGO \leftarrow 0, SC \leftarrow 0$

SKI

$pB_9: \text{si } (FGI = 1) \Rightarrow (PC \leftarrow PC+1), SC \leftarrow 0$

SKO

$pB_8: \text{If } (FGO = 1) \text{ entonces } (PC \leftarrow PC+1), SC \leftarrow 0$

ION

$pB_7: IEN \leftarrow 1, SC \leftarrow 0$

IOF

$pB_6: IEN \leftarrow 0, SC \leftarrow 0$

	I=0	I=1
AND	0xxx	8xxx
ADD	1xxx	9xxx
LDA	2xxx	Axxx
STA	3xxx	Bxxx
BUN	4xxx	Cxxx
BSA	5xxx	Dxxx
ISZ	6xxx	Exxx

CLA	7800	INC	7020	INP	F800
CLE	7400	SPA	7010	OUT	F400
CMA	7200	SNA	7008	SKI	F200
CME	7100	SZA	7004	SKO	F100
CIR	7080	SZE	7002	ION	F080
CIL	7040	HLT	7001	IOF	F040

